

# SYSTEM FOR PROCESSING ABNORMALITY OF POWER SOURCE

Publication number: JP62063325

Publication date: 1987-03-20

Inventor: YAMAMOTO NOBORU; IHI TOSHIAKI; KAMITATE MORIHIRO; MITSUISHI KAZUYUKI

Applicant: FUJITSU LTD

Classification:

- international: **G06F1/30; G06F1/00; G06F1/30; G06F1/00; (IPC1-7): G06F1/00**

- European:

Application number: JP19850202841 19850913

Priority number(s): JP19850202841 19850913

[View INPADOC patent family](#)

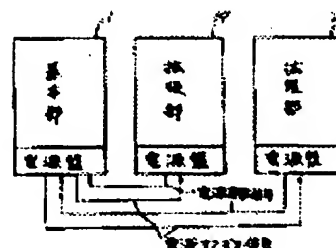
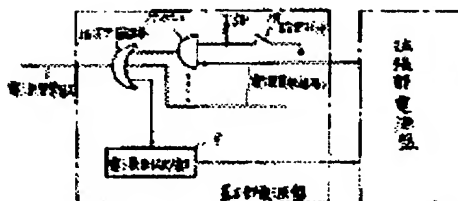
[View list of citing documents](#)

[Report a data error here](#)

## Abstract of JP62063325

**PURPOSE:** To make a common design possible and, at the same time, to realize flexible responses in corresponding to a system constitution, by installing a switching means which sets the fetching of a power-supply abnormal signal to the power supply board of a basic section and setting whether each component is forcibly stopped or operated under degenerated conditions in accordance with the system constitution.

**CONSTITUTION:** If abnormality occurs in power supply, a PFL signal is sent to a basic section 1. When a setting switch 18 is 'off', the PFL signal is monitored by the basic section 1 and 'off' commands are sent to all power sources and this system is stopped by the forcibly stopping mode when the abnormality occurs. When the setting switch 18 is 'on', the PFL signal is not detected by the basic section 1 and functions housed in an enclosure are stopped, and thus, degenerated operations are performed. Since setting means are provided in the basic section 1 correspondingly to the number of extended enclosures in such a way, a prescribed power source processing mode can be selected by connecting a PFL signal line with the setting means and setting the means only. At the same time, a change, etc., in the function of an extended section can easily be treated by only setting the switch 18.



Data supplied from the *esp@cenet* database - Worldwide

## ⑫ 公開特許公報(A)

昭62-63325

⑬ Int.Cl.<sup>4</sup>  
G 06 F 1/00識別記号  
1 0 2庁内整理番号  
D-7157-5B

⑭ 公開 昭和62年(1987)3月20日

審査請求 有 発明の数 1 (全5頁)

## ⑮ 発明の名称 電源異常処理方式

⑯ 特 願 昭60-202841

⑰ 出 願 昭60(1985)9月13日

⑱ 発 明 者	山 本	昇	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	井 比	俊 明	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	神 館	盛 弘	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	三 石	和 幸	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社			川崎市中原区上小田中1015番地
⑲ 代 理 人	弁理士 井 桁 貞一			

## 明 細 書

## 1. 発明の名称

電源異常処理方式

## 2. 特許請求の範囲

各々自己の電源異常検出手段を有する電源を備える複数の筐体より構成され、各部機能を強制終了せしめる第1の電源異常処理モードと、異常が発生した該電源の属する機能を切離して縮退運転処理を行う第2の電源異常処理モードとの両モードで動作するデータ処理システムにおいて、

各部電源の送出する電源異常検出信号を開閉する設定手段(17, 18)を有する監視手段を複数組設け、

前記各部電源の異常検出信号を前記監視手段に接続するとともに、前記設定手段により第1, 第2の電源異常処理モードを選択することを特徴とする電源異常処理方式。

## 3. 発明の詳細な説明

## (概要)

本発明は各々電源を備えた複数の装置で構成されるシステムの電源異常処理方式であって、

電源異常処理モードの設定手段を設け、電源異常の発生した電源で動作する機能に対応して、システムの強制停止モードと縮退運転モードとを選択する電源異常処理方式を提供する。

## (産業上の利用分野)

本発明は電源異常処理方式の改良に関する。

近年、コンピュータ応用システムの大規模化、多様化の進展に伴い、システムの制御部を主体とする基本部と、外部記憶とかI/Oインタフェース等の拡張部とをそれぞれ個別の筐体に収納して対応せしめるようになっている。

上記筐体には各々電源装置が設けられるとともに基本部で監視されており、その電源に異常が発生したときはその筐体の機能に対応してシステムの強制停止とか縮退運転等の異常処理が行われる。

しかしシステム構成は多様化するとともに拡張、変更されることもあり、基本部でその都度異常処理モードを設定、選択することは経済的にも大きな負担であった。

そのため、システム構成に対応し得る異常処理方式が求められている。

#### (従来の技術)

第2図(a)～(c)にシステム構成例を示す。

第2図(a)は基本部のみでシステムを構成した場合を示し、主制御部CPU2、フロッピーディスクFPD3、外部記憶DISK4、外部端末を接続し入出力制御するワークステーションコントローラWC5、ホストコンピュータと接続するネットワークコントローラNC6等より構成され、電源盤8とともに基本筐体1(以下基本部1と称する)に収納されている。

上記電源盤8は基本部1の電源部と電源制御部9より構成され、電源部は異常が発生したとき所定時間直流(DC)電圧を保持する機能を、また

電源制御部9は操作部7からのスイッチ操作により電源をオンオフする機能および電源の異常を検出しCPU2に割込み信号を送出する機能を備えている。

この割込み信号を受けたCPU2は、第2図(d)電源異常処理タイムチャート図に示す異常処理を行った後、DC電源をオフしてシステムの強制停止を行う。即ち、

DC電圧が保持されている間に走行中の動作を停止せしめるとともに、DISK4がアクセス中であれば、そのセクタ処理の後アクセスの強制停止を行い、各部をリセットしてDC電源をオフとする。

以上の処理の結果、電源回復後は自動的にシステムが立ち上がるようになっている。

第2図(b)は基本部の各部機能が拡大し、DISK4が拡張部に収納された場合(拡張1)を示すもので、拡張部筐体10にはDISK4の他、DISK4用の電源盤11(電源制御部12を含む)を備える。

拡張部の電源盤11は基本部9によりオンオフされるとともに、電源異常検出手段を備え、電源異常信号(以下PFL信号)を基本部の電源制御部9に送出している。

この拡張部のPFL信号は基本部のPFL信号とともにCPU2に通知され、前述の電源異常処理が行われる。

第2図(c)は他の拡張例(拡張2)を示したもので、筐体13には旧システム(旧システム13と称する)が収納されており、新システム14に管理されている。

このようなシステムにおいては、旧システム13を切り離して運転(縮退運転)可能な場合が多く、旧システムに電源異常が発生しても前記異常処理は行わず、旧システム13の動作停止をアダプタ(ADP)15経由で検出して縮退運転モードに入る。

以上の例に示すように、その筐体の電源異常によりシステムの強制停止モードにするか、縮退運転モードにするか、システム構成即ち、各筐体の

備える機能によって異なっている。

強制停止モードのときはPFL信号を基本部の電源制御部9で監視する必要がある、システム構築ごとにPFL信号線が処理されている。

#### (発明が解決しようとする問題点)

前述のごとく複数の筐体に各部機能を収容してシステムを構成する場合、各筐体の電源異常発生時における処理方法を各筐体の機能に基づいて決定し、それに従って各部電源のPFL信号線の処理を行っていた。

またシステム変更、拡張があり、電源異常処理が変更された場合、その都度PFL信号線の処理を行う必要があった。

本発明は上記問題点に鑑み、システムに対応して簡易に異常処理手段を設定する電源異常処理方式を提供することを目的とする。

#### (問題点を解決するための手段)

上記目的のため、本発明の電源異常処理方式は

第1図に示すように、

強制停止モード（第1の電源異常処理モード）と縮退運転モード（第2の電源異常処理モード）との両モードで動作するデータ処理システムにおいて、

各部電源の送出する電源異常検出信号を開閉する設定手段（17、18）を有する監視手段を複数組設け、

前記各部電源の異常検出信号を前記監視手段に接続するとともに、前記設定手段により第1、第2の電源異常処理モードを選択するものである。

#### 〔作用〕

即ち、第1図(a)に示すように、異常信号を開閉するゲート17を設けるとともに、その開閉を設定する設定スイッチ18を設ける。

以上の手段を基本部に複数組設け、拡張部の異常信号線を接続すれば、電源異常処理モードを設定スイッチ18により選択することができる。

即ち、第1の電源異常処理モードを選択する場合

部19～20との間で、PFL信号と電源オンオフ信号とが接続され、前記設定手段により電源処理モードが設定される。

電源異常処理動作は以下のように行われる。

- (1) 電源異常が発生したときPFL信号が基本部1に送出される。
- (2) 設定スイッチ18スイッチオフのときは基本部1にPFL信号は監視され、異常発生時に前記強制停止モードによりすべての電源にオフ指令が送出されてシステムを停止する。
- (3) 設定スイッチ18オンの場合は基本部1に検知されず、当該筐体に収納されている機能が停止して縮退運転が行われる。

以上説明のごとく、基本部1に拡張筐体数に対応した設定手段を設け、PFL信号線をこれに接続して設定するのみで所定の電源処理モードが選択できるとともに、拡張部の機能の変更等があった場合は設定スイッチ18による設定のみで容易に対応できる。

合は電源異常信号を通過せしめるよう設定スイッチ18をオフとし、第2の電源異常処理手段を行う場合は設定スイッチ18をオンとしてその異常信号を遮断する。

上記通過した信号はオア回路16によりオアされてCPUに割込み信号として通知され、前述の異常処理によりシステムが強制停止され、前記遮断された場合はその拡張部は切離されて縮退運転に入る。

上記設定手段は基本部に複数組設けられ、システム構成に対応して設定することができるため、共通化、拡張性の優れた異常処理が可能となる。

#### 〔実施例〕

本発明の詳細を第1図に示す実施例に従って説明する。

第1図(b)は実施例のシステム構成図、第1図(c)は電源異常処理フローチャート図である。

基本部には第1図(a)に示す設定手段が複数組設けられ、第1図(b)に示すように基本部1と各拡張

#### 〔発明の効果〕

以上説明したように、本発明は基本部電源盤に電源異常信号の取込みを設定するスイッチ手段を設け、システム構成に従って、各々強制停止とするか縮退運転とするかを設定するもので、共通設計が可能になるとともに、システム構成に対応してフレキシブルな対応ができる効果がある。

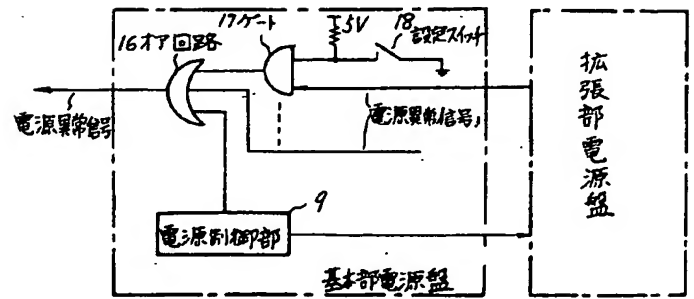
#### 4. 図面の簡単な説明

第1図(a)は本発明の設定手段ブロック図、  
第1図(b)は実施例のシステム構成図、  
第1図(c)は電源異常処理フローチャート図、  
第2図(a)は基本部の構成図、  
第2図(b)は拡張1の構成図、  
第2図(c)は拡張2の構成図、  
第2図(d)は電源異常処理タイムチャート図、  
である。図中、

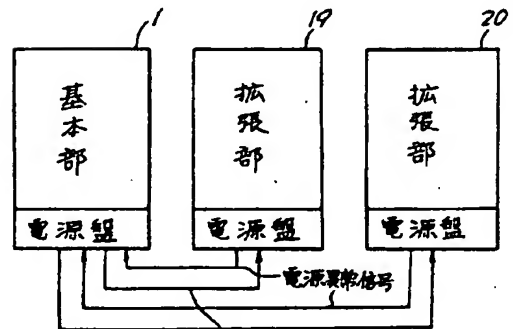
- 1は基本筐体で基本部、
- 2は中央処理装置CPU、
- 3はフロッピーディスクFDP、

- 4 はディスク D I S K、  
 5 はワークステーションコントローラ W C、  
 6 はネットワークコントローラ N C、  
 7 は操作盤、  
 8 は電源盤、  
 9 は電源制御部、  
 10 は拡張部の筐体、  
 11 は拡張部 10 の電源、  
 12 は拡張部 10 の電源制御部、  
 13 は旧システム体、  
 14 は新システム、  
 15 は A D P、  
 16 はオア回路、  
 17 はゲート、  
 18 は設定スイッチ、  
 19、20 は拡張部、  
 である。

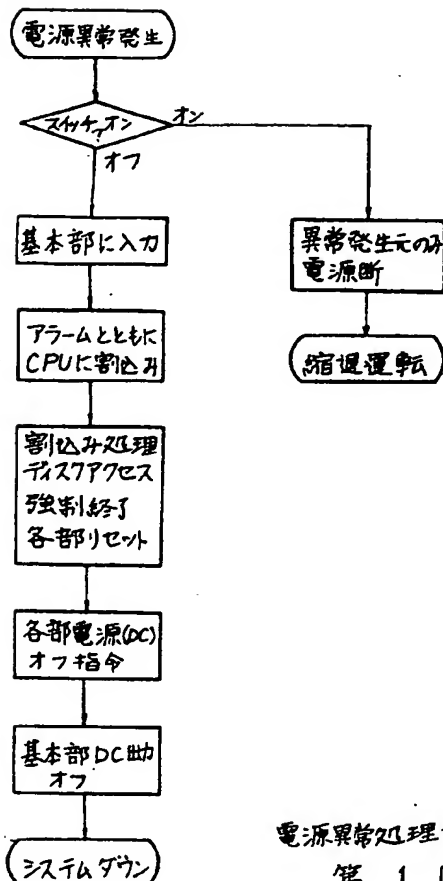
代理人 弁理士 井桁貞一



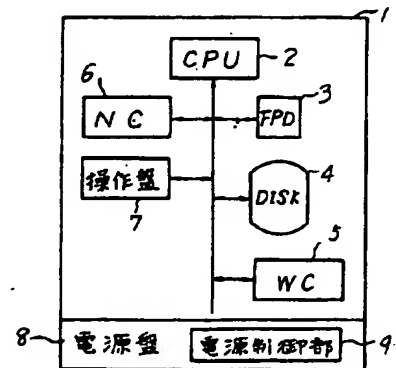
実施例のブロック図  
第 1 図 (a)



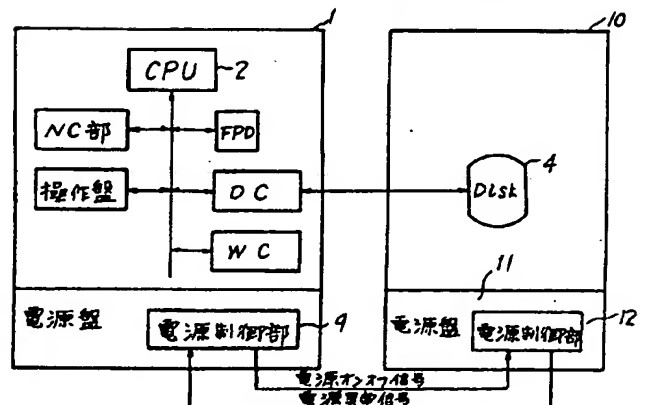
電源オフ信号  
実施例のシステム構成図  
第 1 図 (b)



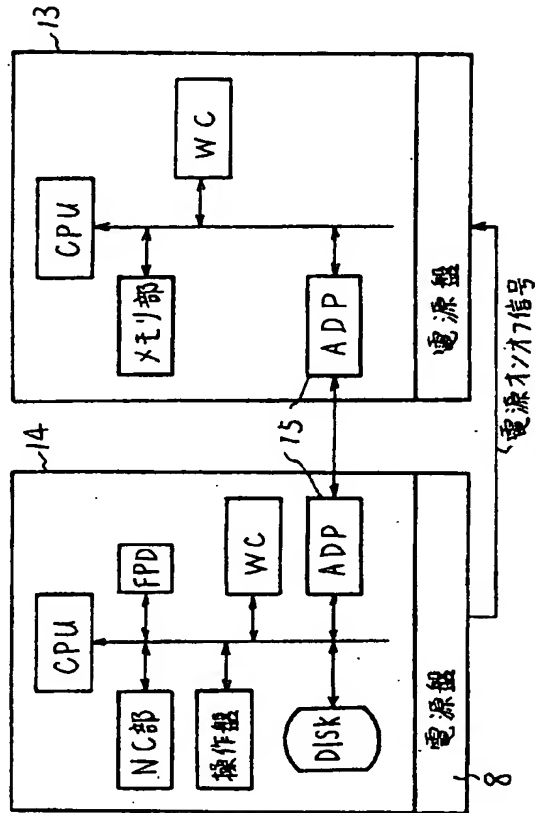
電源異常処理フローチャート図  
第 1 図 (c)



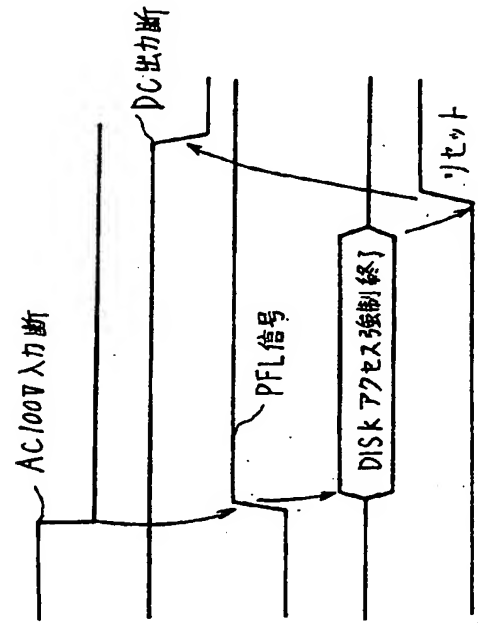
基本部の構成図  
第 2 図 (a)



拡張1の構成図  
第 2 図 (b)



拡張2の構成図  
第2図(c)



電源異常処理タイムチャート図  
第2図(d)